

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-033202

(43)Date of publication of application : 02.02.2000

(51)Int.Cl.

B01D 19/00

(21)Application number : 10-203807

(71)Applicant : DAIKIN IND LTD

(22)Date of filing : 17.07.1998

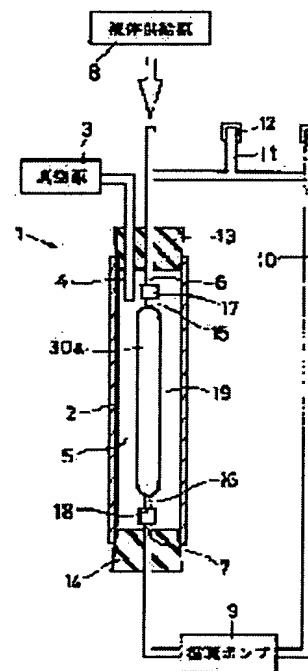
(72)Inventor : YAMAMOTO KATSUTOSHI

## (54) DEGASSING AND DEFOAMING APPARATUS

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To simplify the structure of a degassing and defoaming pipe, improve the strength of the pipe, lower the pressure loss of a liquid, and easily carry out connecting process of the degassing and defoaming pipe.

**SOLUTION:** A degassing and defoaming pipe 30a made of a porous poly(tetrafluoroethylene) is controlled to have gas permeability of  $0.5 \times 10^3$ – $10^5$  see/100 cc, porosity of 25–50%, and tensile strength of 450 kgf/cm<sup>2</sup> or higher in the circumferential direction. The end parts 15, 16 of the degassing and defoaming pipe which is thermally shrunk and turned to an original type size in a container 2 are connected with connection pipes by pipe joints 17, 18, a liquid is supplied to the degassing and defoaming pipe 30a, and the space 5 between the outer circumferential face of the degassing and defoaming pipe 30a and the inner circumferential face of the container 2 is evacuated to be at low pressure by a vacuum source 8.



## LEGAL STATUS

[Date of request for examination]

25.05.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-332202

(P2000-332202A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 27/04		H 0 1 L 27/04	H 5 F 0 3 3
21/822		27/10	4 6 1 5 F 0 3 8
21/3205		21/88	A 5 F 0 8 3
27/10	4 6 1		

審査請求 有 請求項の数 6 O L (全 5 頁)

(21)出願番号 特願平11-135546

(22)出願日 平成11年5月17日(1999.5.17)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 渡邊 正樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100086645

弁理士 岩佐 義幸

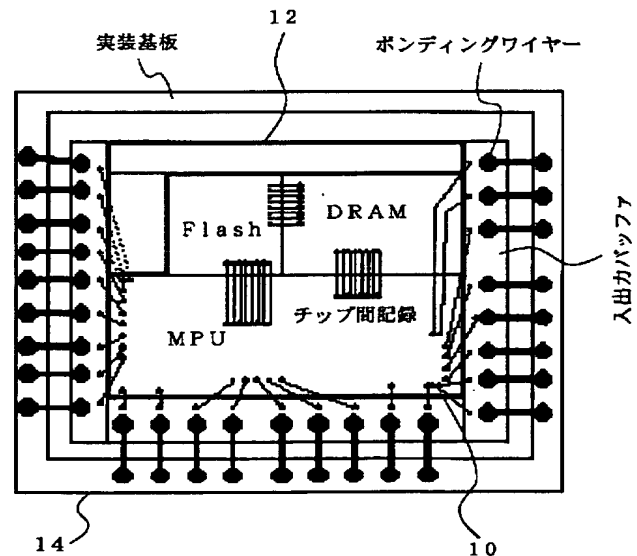
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 配線形成時に多くのプラズマダメージを回避する半導体装置を提供する。

【解決手段】 機能素子10とダミーチップ12とを実装基板14へ搭載するものである。実装基板14には、DRAM、Flash、Bip、MPU等の機能素子10を搭載したチップの他、I/O専用チップが搭載され、機能素子の存在しないダミーチップ12を1つ以上配置する。各チップの膜厚は出来る限り薄く均一になる様に加工されている。



**【特許請求の範囲】**

【請求項 1】機能素子と、ダミーチップとが電氣的に接続され、隙間無く搭載された実装基板を備える半導体装置において、

前記機能素子間の配線形成時に生じるプラズマダメージによる電荷が前記ダミーチップへ流れることを特徴とする半導体装置。

【請求項 2】半導体デバイスで実現する各種機能を備えた機能素子と、

半導体デバイスを作り込むことが可能な素材であり前記各種機能を持たないダミーチップと、

前記機能素子と前記ダミーチップとを電氣的に接続し、隙間無く搭載した実装基板と、を備えることを特徴とする半導体装置。

【請求項 3】前記機能素子は、RAM、MPU、フラッシュメモリ、ROMおよび I/O チップのうち少なくとも 1 つであることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】前記ダミーチップは、シリコン基板のみであることを特徴とする請求項 2 または 3 記載の半導体装置。

【請求項 5】前記ダミーチップは、複数のダイオード素子を有し、前記ダイオード素子が回路装置として機能することなく、半導体配線形成時のプラズマを通すことを特徴とする請求項 2、3 または 4 記載の半導体装置。

【請求項 6】前記複数のダイオード素子は、シリコン基板上にアレイ状に一樣に形成されることを特徴とする請求項 5 記載の半導体装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、機能素子の隙間を埋めるためにダミーチップを埋め込み、配線形成時に多くのプラズマダメージを回避する半導体装置に係り、チップのベアチップ実装時に半導体の前工程プロセスと類似した技術を用いる半導体装置に関する。

**【0002】**

【従来の技術】従来のプレーナー技術を用いたマルチチップ実装の一例が、特開昭 54-84984 号公報に記載の半導体集積回路が提案されている。しかしながら特開昭 54-84984 号公報に記載の半導体集積回路は、公報記載の実施例には層間膜に 1 μm 以下の CVD を用いる例が記載されている。

【0003】また、さらに従来の分割半導体集積回路およびその製造技術の一例が、特開平 7-202115 号公報に記載されている。この公報に記載された半導体装置の製造は、半導体ウエハから切り出したままの状態の複数の IC ベアチップを所定の位置に配置し、物理的支持力を有する仮止め表面上に、仮止め表面と IC ベアチップの回路形成面とが接触するように一時的に固定する仮止めし、複数の IC ベアチップを仮止め表面上に一時的に固定したまま、物理的支持力を有する支持基板に、

複数の IC ベアチップに回路形成面と反対側の面を接着して固定する接着し、仮止め表面上に一時的に固定された状態を解除するものである。

**【0004】**

【発明が解決しようとする課題】特開昭 54-84984 号公報に記載の半導体集積回路は、チップーチップ間の平均間隔は 50 μm 程度であり、最初からチップ間を埋め込むことを想定していないものである。

【0005】つまり、各ベアチップの外形バラツキのサブミクロン制御が困難であり、チップ膜厚で数 μm、縦横寸法も数 μm の誤差がある。チップを正確に所定の位置に配置できない。多少の位置ズレを考慮したチップ間隔が必要である。さらにチップ厚は薄くするとしても数 10 μm の厚みが必要であり、チップ間には数十ミクロンの巨大な溝が存在していることになる。プレーナー技術で用いられるチップ間配線の厚みは、2 μm 前後、幅 1 μm 程度である。チップ間に存在する垂直な面を露光するのが困難なため、この巨大な溝をまたいで配線するのは不可能に近い。この場合、チップーチップ間を層間絶縁膜で埋め込むことは不可能である。

【0006】MCM 等の従来のチップ実装方式はワイヤボンディング等の空中配線を用いているため、ダミーチップの必要性はない。しかしながらこの方式では、プレーナー技術による配線形成に比べ、配線密度が落ちる。ボンディング時の ESD 破壊防止のため保護トランジスタ (I/O パッファ) が必要である。I/O パッファが存在するとチップ間の情報伝達速度が激減する他、チップサイズの増大、I/O トランジスタに求められる特性と通常トランジスタに求められる特性とのミスマッチによる製造コストの増大する。空中配線方式では、チップ間をまたがる多層配線の形成が困難等の問題があった。またさらに特開平 7-202115 号公報に記載の半導体装置の製造でも上述の問題はあり得た。

【0007】本発明は、チップ間を埋め込み材で充填しやすい様にダミーチップをチップ間の隙間に存在させ、チップ間に広い隙間が生じないようにすることにある。さらに機能素子の大きさに制限を設けてチップ間に隙間が出来ない様にすることも可能だが機能素子自体のチップコストを上昇させてしまう。機能素子に比べダミーチップは、安価および短 TAT (Turn Around Time) で製造することができるため設計自由度の増大及び低コスト化を実現できる。

【0008】本発明の目的は、機能素子とダミーチップとを実装し、プラズマダメージを回避する半導体装置を提供することにある。

**【0009】**

【課題を解決するための手段】本発明の半導体装置は、機能素子と、ダミーチップとが電氣的に接続され、隙間無く搭載された実装基板を備える半導体装置において、

前記機能素子間の配線形成時に生じるプラズマダメージによる電荷が前記ダミーチップへ流れることを特徴とする。

【0010】また半導体装置は、半導体デバイスで実現する各種機能を備えた機能素子と、半導体デバイスを作り込むことが可能な素材であり前記各種機能を持たないダミーチップと、前記機能素子と前記ダミーチップとを電氣的に接続し、隙間無く搭載した実装基板とを備えることを特徴とする。

【0011】

【発明の実施の形態】本発明の実施例の構成を図1～図4を参照し詳細に説明する。図1は、本発明の実装基板のチップ配置図を示す。図2は、本発明のダミーチップの断面を示す図である。図3は、本発明のダイオードをアレイ状に並べた図である。図4は、本発明のダイオード接続を示す図である。

【0012】本発明の半導体装置は、図1に示すように機能素子10とダミーチップ12とを実装基板14へ搭載するものである。実装基板14には、DRAM, Flash, Bip, MPU等の機能素子10を搭載したチップの他、I/O専用チップが搭載され、機能素子の存在しないダミーチップ12を1つ以上配置する。この時、各チップの膜厚は出来る限り薄く均一になる様に加工されている。

【0013】しかしながら各チップの大きさは様々であり、機能素子10だけを実装基板14に配置した場合、隙間チップ間に隙間が発生してしまう場合が生じる。この隙間を埋める様に、機能素子10と同じ膜厚をもつ機能素子10の存在しないダミーチップ12を1つ以上配置する。これによりチップ間に広い隙間が生じることを防止できる。このダミーチップ12は、配線形成時の電荷の逃がし領域としてダイオード素子を形成しておく。

【0014】図1に示されるように、全てのベアチップを近接させて配置した実装基板において、チップ間に広い隙間が出来ないようにダミーチップ12を配置する必要がある。ダミーチップ12上にはチップ間配線が形成されるが、チップ間配線形成時にドライエッチングやCVD等のプラズマ処理を行う場合は、配線がアンテナとなって電荷を集めてしまい、その配線に接続されたトランジスタが破壊されてしまうという問題がある。ダミーチップ中に保護ダイオードを設けることにより、このチャージアップによるデバイスの破壊を防止する役目がある。

【0015】ダイオード素子の形成方法は、図2に示すようにP型シリコンにLOCOS (Local Oxidation of Silicon) 法を用いて局所酸化(3000Å)を行い、拡散層の窓を開けておく。その後、前面にリンもしくはヒ素を注入し、拡散層部の0.6μm程度のコンタクトホールを開孔する。この後、コンタクトホールを覆うように全面にTi(300

Å), TiN(1000Å), AlSiCu(5000Å)の順にスパッタを行う。その後、Alのパターニングを行い、SiON(10000Å)/SiO<sub>2</sub>(1200Å)構造のカバー膜を形成する。

【0016】このダイオード素子は、図3に示すようにダミーチップ全面にアレイ状に並べておく。4枚のマスクを用いることによりダイオード素子を搭載したダミーチップが完成する。このときダイオードの数は、多い方がよい。

10 【0017】次に、以下に各機能素子を搭載した複数のチップを1つの基板上に搭載し、半導体前工程と同様な方法で配線を行うシステム オン ア モジュールの製造手順を説明する。

【0018】まず従来からの公知の方法にて目的とするLSIチップを別々に作成する。作成するLSIの種類は、DRAM, Flash, Bip, MPU等のデバイスで構成し、その目的に合わせてどのような組み合わせを用いても構わない。この時、各チップにはI/Oを搭載せず、I/O専用チップを準備するのが理想的である。また、GaAs等のSi以外の素材を用いても構わない。各チップはそれぞれ最適な拡散プロセスにて製造される。(DRAMは微細加工重視、Flashは信頼性重視、MPUは高速度及び多層配線重視である。これらを1チップに混載するシステム オン ア チップは、チップサイズ増大による歩留まり低下、各機能の最適製造プロセスのミスマッチによる性能劣化、コスト増大、長TAT化を引き起こす。)この後公知の方法によりウエハーからチップを分離する。この時チップの膜厚は出来る限り薄くするのが望ましい。一般にウエハー裏面を公知の方法を用いて250μm程度に研削し、チップを切り離した後公知の方法にて裏面のエッチング処理を施し100μm以下になる様薄膜化する。この段階でチップは、母体チップとして保管される。この時メモリーチップ等は、容量に応じて複数のチップサイズを揃えておく必要がある。

【0019】この後、公知の方法にて実装基板上の各々のベアチップを数μm間隔に近接させ、かつ表面の高さを合わせて固定する。機能素子10だけで全てのチップ間隔を近接出来ない場合は、ダイオード素子入りのダミーチップ12を空白領域に搭載する。

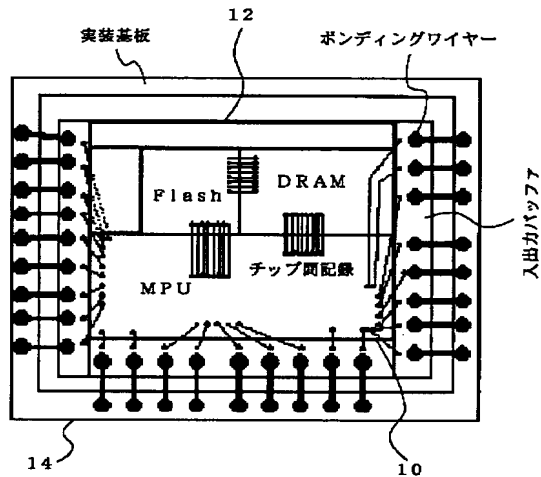
【0020】この後、チップ間に存在する溝を埋め込む平坦化処理を行う。チップ間の埋め込みは、公知の方法である液体系SiO<sub>2</sub>を溝の中に流し込み固化する方法、サランラップ状の薄い絶縁シートを表面に貼りつける方法、はけ状のもので接着剤を表面に塗り溝の中に接着剤を流し込む方法等がある。この時チップ間に段差が発生してしまう。この場合、半導体前工程と同じプレーナ技術によるチップ間配線が不可能になり、システム オン ア モジュールは実現できない。

50 【0021】この後、図4に示すように半導体前工程と

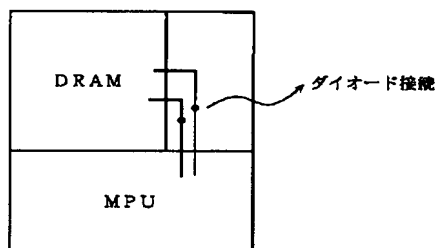
同様な手法を用いてチップ間配線を行う。必要箇所にコンタクトをとりダイオード接続を行う。この時、ダミーチップ上を走るチップ間配線はmm単位の長さを持っており、配線形成時に多くのプラズマダメージにさらされる。チャージアップにより配線に電荷が溜まり、逃げ場を失った電荷がその配線に接続されているトランジスタのゲート酸化膜を破壊してしまう。一般に（配線の側面積）／（接続されているゲート酸化膜の面積）比が10000を超えるとゲート酸化膜破壊による歩留まり低下が発生する。ゲート酸化膜破壊が疑われる配線をダミーチップ上のダイオード素子に接続させておくと、配線中に溜まった電荷はダミーチップに逃げることでトランジスタの破壊を防止できる。

【0022】次に、本発明の他の実施例を説明する。上述のダミーチップには、チップ間配線形成時のプラズマダメージから機能素子を守るため、電荷の逃がし領域を設ける構造であっても構わない。具体的には、ダミーチップをP型Si基板にて形成し、その中に多数のN型の領域を設けておく構造である。これは機能素子としては役に立たないが、チップ間配線とN型領域とをつなげることで配線形成時のプラズマダメージから機能素子

【図1】



【図4】



を保護することができる。

#### 【0023】

【発明の効果】本発明の半導体装置は、配線形成時に多くのプラズマダメージにさらされるため、ゲート酸化膜破壊が疑われる配線をダミーチップ上のダイオード素子に接続させておくことで、配線中に溜まった電荷をダミーチップに逃すことにより機能素子の破壊を防止することができる。ダミーチップにより機能素子間の隙間を小さくできる。また、これらにより歩留まりをあげることができ、デバイスの製造工程を短くすることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の実装基板のチップ配置図を示す。

【図2】本発明のダミーチップの断面図を示す図である。

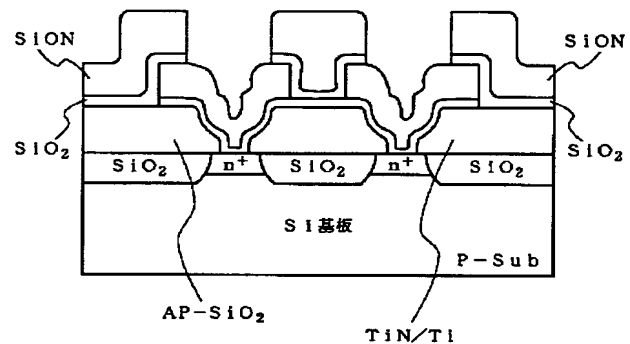
【図3】本発明のダイオードをアレイ状に並べた図である。

【図4】本発明のダイオード接続を示す図である。

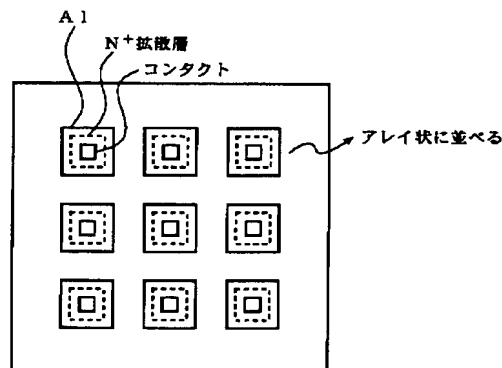
#### 【符号の説明】

- 10 機能素子
- 12 ダミーチップ
- 14 実装基板

【図2】



【図3】



フロントページの続き

Fターム(参考) 5F033 HH08 HH09 HH12 HH18 HH33  
RR04 RR08 XX06  
5F038 AV05 BH04 BH05 BH13 CA07  
CA10 CA18 DF04 DF05 EZ20  
5F083 AD00 CRO0 ER22 GA21 LA10  
LA25 MA01 MA19 ZA13 ZA14  
ZA28

THIS PAGE BLANK (USPTO)